

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Noriyoshi SHIMIZU, et al.

Application No.:

Group Art Unit:

Filed: August 26, 2003

Examiner:

For: SEMICONDUCTOR PACKAGE, METHOD OF PRODUCTION OF SAME, AND  
SEMICONDUCTOR DEVICE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)  
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-247487 and 2003-058792

Filed: August 27, 2002 and March 5, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing  
date(s) as evidenced by the certified papers attached hereto, in accordance with the  
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: August 26, 2003

By: 

H. J. Staas

Registration No. 22,010

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月27日

出 願 番 号

Application Number:

特願2002-247487

[ ST.10/C ]:

[ JP 2002-247487 ]

出 願 人

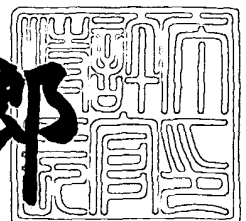
Applicant(s):

新光電気工業株式会社

2003年 6月27日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051179

【書類名】 特許願

【整理番号】 1024142

【提出日】 平成14年 8月27日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H05K 1/16  
H05K 3/46

【発明の名称】 半導体パッケージとその製造方法および半導体装置

【請求項の数】 5

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 清水 規良

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 六川 昭雄

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 飯島 隆廣

【特許出願人】

【識別番号】 000190688

【氏名又は名称】 新光電気工業株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709241

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体パッケージとその製造方法および半導体装置

【特許請求の範囲】

【請求項 1】 多層配線構造を備え、その上面に半導体素子を搭載するための半導体パッケージにおいて、

多層配線構造の最上部積層構造にキャパシタ構造を含み、該キャパシタ構造は、誘電体層が高誘電率の無機フィラーと絶縁性樹脂との混合電着層から成り、かつ上部電極および下部電極と上記半導体素子の電極とを直接接続するための素子接続用パッドを含むことを特徴とする半導体パッケージ。

【請求項 2】 上記無機フィラーがペロブスカイト構造を有するセラミックの粉末であることを特徴とする請求項 1 記載の半導体パッケージ。

【請求項 3】 上記絶縁性樹脂がポリイミド樹脂であることを特徴とする請求項 1 または 2 記載の半導体パッケージ。

【請求項 4】 請求項 1 から 3 までのいずれか 1 項記載の半導体パッケージの上記素子接続用パッドに半導体素子の電極を直接接続したことを特徴とする半導体装置。

【請求項 5】 多層配線構造を備え、その上面に半導体素子を搭載するための半導体パッケージの製造方法において、

上記多層配線構造の最上部積層構造にキャパシタ構造を形成する工程を含み、このキャパシタ構造形成工程が、

上記最上部積層構造の最下層に、該キャパシタ構造の下部電極としての導体層を形成する処理、

該下部電極上に、高誘電率の無機フィラーと絶縁性樹脂とがコロイド状に分散した電解液を用いた電着法により、該キャパシタ構造の誘電体層として該無機フィラーと該絶縁性樹脂との混合電着層を形成する処理、および

該誘電体層上に、該キャパシタ構造の上部電極としての導体層を形成する処理、

該キャパシタ構造内に、上記上部電極および上記下部電極と上記半導体素子の電極とを直接接続するための素子接続用パッドを形成する処理、

を含むことを特徴とする半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子（半導体チップ）を搭載するためのパッケージすなわち半導体パッケージとその製造方法、およびこの半導体パッケージに半導体素子を搭載した半導体装置に関する。

【0002】

【従来の技術】

半導体装置は多くの用途において高密度化が進められており、それに応じて配線パターン同士を近接させて設ける際に、配線間のクロストークノイズや電源ライン等の電位変動を防止することが重要である。特に、高速のスイッチング動作が要求される高周波用の半導体素子を搭載する半導体パッケージの場合は、周波数の上昇に伴いクロストークノイズが発生し易くなり、またスイッチング素子が高速でオン／オフすることによってスイッチングノイズも発生し、これによって電源ライン等の電位が変動し易くなる。

【0003】

従来、このような問題を解消する手段として、信号ラインや電源ラインでの回路間の不要な結合を解除（デカップリング）するためのバイパスコンデンサとして、半導体パッケージに別個のチップキャパシタ等の容量素子を搭載していた。

【0004】

しかし、上記従来の方法には、下記の点で問題があった。

まず、別個のチップキャパシタ等の搭載に伴い配線パターンの設計自由度が低下する。

【0005】

更に、チップキャパシタと半導体素子の電極とを接続する配線距離が長いとインダクタンスが大きくなり、チップキャパシタによるデカップリング効果が十分に得られなくなる。したがって、チップキャパシタ等は半導体素子にできるだけ近接させて搭載することが必要である。しかし、チップキャパシタ等のサイズに

よって搭載位置も制限されるため、半導体素子との近接配置にも限界があった。

【0006】

また、チップキャパシタ等の容量素子を半導体パッケージに搭載すると、パッケージが大型化・重量化することが避けられず、現在の趨勢である小型化・軽量化に逆行してしまう。この点についても、チップキャパシタ等の小型化による対処では限界があった。

【0007】

【発明が解決しようとする課題】

本発明は、上記従来の問題点を解消して、配線パターン設計の自由度を確保し、容量素子と半導体素子との近接度を格段に向上させ、パッケージの小型化・軽量化を可能とした半導体パッケージとその製造方法、およびこの半導体パッケージを用いた半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記の目的を達成するために、本発明の半導体パッケージは、多層配線構造を備え、その上面に半導体素子を搭載するための半導体パッケージにおいて、

多層配線構造の最上部積層構造としてキャパシタ構造を備え、該キャパシタ構造は、誘電体層が高誘電率の無機フィラーと絶縁性樹脂との混合電着層から成り、かつ上部電極および下部電極と上記半導体素子の電極とを直接接続するための素子接続用パッドを含むことを特徴とする。

【0009】

高誘電率の無機フィラーとしては、ペロブスカイト構造を有するセラミックの粉末を用いることが最も有利である。

【0010】

絶縁性樹脂としては、ポリイミド樹脂を用いることが最も有利である。

【0011】

本発明の半導体パッケージを製造する方法は、多層配線構造を備え、その上面に半導体素子を搭載するための半導体パッケージの製造方法において、

上記多層配線構造の最上部積層構造としてキャパシタ構造を形成する工程を含

み、このキャパシタ構造形成工程が、

上記最上部積層構造の最下層に、該キャパシタ構造の下部電極としての導体層を形成する処理、

該下部電極上に、高誘電率の無機フィラーと絶縁性樹脂とがコロイド状に分散した電解液を用いた電着法により、該キャパシタ構造の誘電体層として該無機フィラーと該絶縁性樹脂との混合層を形成する処理、および

該誘電体層上に、該キャパシタ構造の上部電極としての導体層を形成する処理、

該キャパシタ構造内に、上記上部電極および上記下部電極と上記半導体素子の電極とを直接接続するための素子接続用パッドを形成する処理、を含むことを特徴とする半導体パッケージの製造方法。

#### 【 0 0 1 2 】

本発明は更に、本発明の半導体パッケージに半導体素子を搭載した半導体装置をも提供する。

#### 【 0 0 1 3 】

##### 【発明の実施の形態】

##### 〔実施形態 1〕

図 1 に、本発明による半導体パッケージ 1 0 上に半導体素子（半導体チップ）2 0 を搭載して構成した本発明による半導体装置 3 0 の部分断面図を示す。

#### 【 0 0 1 4 】

本発明による半導体パッケージ 1 0 は、絶縁性基板 1 2 の上面に積層された多層配線構造 1 4、絶縁性基板 1 2 の下面に形成された下面配線構造 1 6、および絶縁性基板 1 2 を貫通して多層配線構造 1 2 の最下層 d と下面配線構造 1 6 の最上層 e とを電氣的に接続するスルーホール 1 8 を備えている。

#### 【 0 0 1 5 】

下面配線構造 1 6 は、2 層の配線層 e、f が間に絶縁層 L を介して積層された構造である。最下層の配線層 f の所定箇所は外部接続用パッド f P として形成されており、はんだ 1 5 により外部接続端子（ピン）1 3 が接合されている。図示した 4 本のピン 1 3 は、例えば左端の 1 本が接地端子（G R）、中央の 2 本が信



号端子（S）、右端の1本が電源端子（P）である。下面配線構造16の下面は、はんだ15の位置を除いて、ソルダレジスト11によって覆われている。

#### 【0016】

多層配線構造14は、4層の配線層a、b、c、dが間に下記誘電体層Yまたは絶縁層M、Nを介して積層されている。各配線層a～bは、必要箇所において、誘電体層Yまたは絶縁層M、Nを貫通するビアVにより電氣的に接続されている。

#### 【0017】

本発明の特徴として、多層配線構造14はその最上部がキャパシタ構造Xとして形成されている。キャパシタ構造Xは、配線層aから成る上部電極層、誘電体層Y、配線層bから成る下部電極層で構成されている。誘電体層Yは高誘電率の無機フィラーと絶縁性樹脂との混合電着層から成る。上部電極層aの所定箇所は素子接続用パッドaPとして形成されており、はんだ17により半導体素子20の電極パンプ22に直接接続されている。すなわち、はんだペーストをスクリーン印刷により塗布したり、はんだボールを搭載したりしてはんだ17を設け、このはんだ17を溶融させ、半導体素子20の電極パンプ22に接続する。電極パンプ22は半導体素子20の電極にはんだにより直接形成してあり、電極と実質的に一体である。また、図示の制約のため図1には示していないが、次に説明するように、上部電極層aを構成する配線層の他の所定箇所には、周囲から絶縁区画された配線層領域が下部電極bのための素子接続用パッドbPとして形成されており、他の配線経路を介さずに、半導体素子20の他の電極パンプ22と直接接続されている。上部電極aの上面は、はんだ17の位置を除いて、ソルダレジスト19によって覆われている。

#### 【0018】

図2の模式的分解図を参照して、半導体装置30におけるキャパシタXと半導体チップ20との接続関係の一形態を説明する。図2には、上から順に、半導体チップ20、ソルダレジスト層19、上部電極層a、誘電体層Y、下部電極層bを示してある。この例では、上部電極層aが電源層、下部電極層bが接地層となる。ただし、これに限定する必要はなく、上部電極層aを接地層とし、下部電極

層 b を電源層としてもよい。半導体素子 2 0 は実際には多数の電極バンプ 2 2 を備えているが、図示の便宜上 4 個の電極バンプのみを示した。このうち、図中左から 2 番目（半導体チップ 2 0 の中央）の電極バンプ 2 2 は、一点鎖線で示すように、ソルダレジスト層 1 9 の開口 1 9 h 内のはんだバンプ 1 7 により、キャパシタ X の上部電極 a の素子接続用パッド a P に直接接続されている。半導体素子 2 0 のその他の電極バンプ 2 2 は、それぞれ破線で示すように、上部電極層 a 内に環状絶縁層 T で周囲の上部電極層 a から絶縁区画された各素子接続用パッド b P に直接接続されている。これらの絶縁区画された素子接続用パッド b P は、誘電体層 Y 内に島状に設けた導体層 R を介して、下部電極層 b の各接続部位 b P' に接続されている。

【 0 0 1 9 】

すなわち、パッケージ 1 0 上に搭載された半導体チップ 2 0 の各電極バンプ 2 2 と、その直下に形成されているキャパシタ X の素子接続用パッド a P および b P とが、両者の外部の配線経路を経由せずに直接接続されている。

【 0 0 2 0 】

このように、本発明の半導体パッケージおよびそれを用いた本発明の半導体装置は、半導体パッケージ 1 0 に内装されたキャパシタ X と、パッケージ 1 0 上に搭載された半導体チップ 2 0 とが直接接続される構造を備えていることにより、半導体チップ 2 0 とキャパシタ X との接続距離が最小化される。

【 0 0 2 1 】

これにより、半導体チップ 2 0 とキャパシタ X との配線に起因するインダクタンスの増大は実質的に発生せず、キャパシタ X による本来のデカップリング効果を十分に得ることができる。

【 0 0 2 2 】

また、キャパシタ X の誘電体層 Y は、高誘電率の無機フィラーと絶縁性樹脂との混合電着層で構成したことにより、 $10\mu\text{m}$  以下の極めて薄い層として形成できるので、キャパシタ X が全体として極めて薄い構造としてパッケージ 1 0 内に内装できるため、配線パターンの設計自由度に対して実質的に影響せず、同時に、パッケージの小型化・軽量化を妨げない。

【 0 0 2 3 】

次に、図 3 ～ 1 1 を参照して、本発明の一実施形態により半導体パッケージ 1 0 および半導体装置 3 0 を製造する工程を説明する。各図は各工程における処理により得られる構造の断面図である。

【 0 0 2 4 】

〔工程 1〕基板の準備、スルーホール形成（図 3）

絶縁性コア材 1 2 の両面に銅箔 g を張り付けた両面銅張り積層板に、ドリル加工またはレーザ加工によりスルーホール 1 8' を開口する。用いる積層板としては、例えば F R - 4 相当のもの等、ガラス布に絶縁性樹脂（エポキシ樹脂、ポリイミド樹脂、B T 樹脂、P P E 樹脂等）を含浸させたものを用いる。

【 0 0 2 5 】

〔工程 2〕配線層の形成、スルーホールの充填（図 4）

銅の無電解めっきまたはスパッタによりスルーホール 1 8' の内壁および銅箔 g の全面に給電用導体薄層を形成した後、銅の電解めっきによりスルーホール 1 8' を導体で充填すると共に両面の銅箔 g 上に導体層を形成した後、両面の銅箔および導体層と一緒にパターンニングする。これにより、絶縁性基板 1 2 の上面および下面にそれぞれ配線層 d および e が形成され、導体で充填されたスルーホール 1 8 により上下両面の配線層 d / e 間が電氣的に接続された図示の構造が得られる。

【 0 0 2 6 】

〔工程 3〕絶縁層の形成（図 5）

図 4 の構造の上下両面に、ポリイミド樹脂、エポキシ樹脂等の樹脂を塗布するか、これらの樹脂のシートを積層貼着することにより、配線層間を絶縁するための絶縁層 N、L を形成した後、配線層間を電氣的に接続するためのビアホール V' を各絶縁層に開口する。ビアホール V' の形成はレーザ加工（U V - Y A G レーザ、C O <sub>2</sub> レーザ、エキシマレーザ等）により行なう。

【 0 0 2 7 】

〔工程 4〕導体層の形成、ビアホールの充填（図 6）

図 5 の構造の上下両面に、銅の無電解めっき、スパッタ等により給電用導体薄

層を形成した後、銅の電解めっきによりビアホールV'を導体で充填すると共に上面導体層c'および下面導体層f'を形成する。これにより、導体で充填されたビアVにより上下両面の導体層c' / f'間が電氣的に接続された図示の構造が得られる。

## 【 0 0 2 8 】

## 〔工程5〕下部電極の形成（図7）

エッチングにより上下両面の導体層c'およびf'をパターンニングする。これにより、2段目の上面配線層cおよび2段目の下面配線層fが形成される。これらの配線層cおよびfは、それぞれビアVにより一段目の配線層dおよびeと所定箇所電氣的に接続されている。

その後、配線層の所定積層数に応じて工程3～工程5を繰り返す。

## 【 0 0 2 9 】

## 〔工程6〕誘電体層の形成（図8）

工程3～5をもう1回だけ繰り返して、上記配線層cの上に絶縁層Mおよび配線層bを形成した。配線層bの一部が、最終的に形成するキャパシタの下部電極となる。次いで、表面をアルカリまたは酸により洗浄し、電着法により配線層bの上に誘電体層Yを形成した。この電着は下記のように行なう。

## 【 0 0 3 0 】

イソプロピルアルコール等の溶剤中に、絶縁性樹脂としてのポリイミド樹脂に高誘電率の無機フィラー粉末を配合してコロイド状に分散させた電解液を用意する。配線層bを形成した基板の上面以外をマスクして上記の電解液に浸漬し、基板を陰極側とし、対向する陽極との間に電界を印加して上記コロイドを電気泳動させ、無機フィラーとポリイミド樹脂との混合電着層を基板上面に堆積させ、これを誘電体層Yとする。このようにして混合電着層を堆積させる電解処理は、配線層bを陰極に接続して行なうことができる。

## 【 0 0 3 1 】

このように混合電着層が形成されるメカニズムは次のように考えられる。すなわち、無機フィラーのコロイド粒子は電氣的に中性であり極性を帯びていないが、ポリイミド樹脂のコロイド粒子は正の極性を帯びておりカチオンとして作用す

る。電解液中に存在するコロイド粒子の形態は、ポリイミド樹脂のコロイド粒子に無機フィラーのコロイド粒子が付着凝集した粒子形態であると考えられる。そのため、ポリイミド樹脂のコロイド粒子が印加電界に駆動されて電気泳動するのに伴い、これと一体になって無機フィラーのコロイド粒子が移動し、陰極側の基板上に到達し、両者の混合層として析出する。

## 【 0 0 3 2 】

このようにして電着により形成した誘電体層 Y の厚さは、印加電流値および印加時間によって任意に設定でき、例えば  $10\ \mu\text{m}$  以下のように極めて薄くすることができる。

## 【 0 0 3 3 】

高誘電率の無機フィラーとしては、ペロブスカイト構造のセラミックの粉末が適しており、例えばチタン酸バリウム ( $\text{BaTiO}_3$ )、チタン・ジルコン酸鉛 ( $\text{Pb}(\text{Zr}_X\text{Ti}_{1-X})\text{O}_3$ )、チタン酸ストロンチウム ( $\text{SrTiO}_3$ ) 等を用いることができる。

## 【 0 0 3 4 】

ポリイミド樹脂は、それ単独でも誘電性を有するが、上記のような高誘電率の無機フィラーを配合することにより、両者の混合電着層から成る誘電体層の誘電率が著しく高まり、薄い誘電体層で大きなキャパシタ容量を実現できる。

## 【 0 0 3 5 】

〔工程 7〕誘電体層のビアホール形成 (図 9)

レーザ加工により誘電体層 Y にビアホール V' を開口する。このビアホール V' には、図 2 に示した島状の導体層 R を形成するためのビアホールも含まれる。レーザ加工は、UV-YAG レーザ、 $\text{CO}_2$  レーザ、エキシマレーザ等により行なう。場合によっては、ビアホール V' の開口を機械的ドリル加工により行なってもよい。

## 【 0 0 3 6 】

〔工程 8〕上部電極の形成 (図 10)

図 9 の構造の上面に、銅の無電解めっき、スパッタ等により給電用導体薄層を形成した後、銅の電解めっきによりビアホール V' (図 9) を導体で充填すると

共に上面導体層を形成し、これをエッチングによりパターンニングすることにより、最上部の上面配線層 a を形成する。配線層 a の一部が、キャパシタ構造 X の上部電極となる。配線層 a の所定箇所は、導体で充填されたビア V により下層の配線層と電氣的に接続されている。

## 【 0 0 3 7 】

また、上面配線層 a の所定箇所には、図 2 に示したように環状絶縁層 T により周囲から絶縁区画された素子接続用パッド b P も形成する。これは、上記パターンニングの際に環状絶縁層 T の形状に配線層 a をエッチング除去した後、エッチング除去部にソルダレジスト層 1 9 を充填することにより行なう。環状絶縁層 T に取り囲まれた配線層 a の部分が素子接続用パッド b P となる。エッチング前に行ったビアホール充填により、素子接続用パッド b P の下部は誘電体層 Y を貫通する導体層 R (ビア) として形成されており、その下端が下部電極層 b の所定箇所 b P' に接合している。

このようにして、上部電極 a、誘電体層 Y、下部電極 b で構成されるキャパシタ構造 X が完成する。

## 【 0 0 3 8 】

〔工程 9〕ソルダレジスト層の形成 (図 1 1)

上下面に、それぞれ外部接続用パッド a P および f P の部分を除いて、保護層としてソルダレジスト層 1 9 を形成する。ソルダレジスト層 1 9 の形成は、印刷法、熱圧着法 (真空熱プレス等も可) により全面に形成した後、パターンニングしてパッド a P および f P の箇所を開口させることにより行なう。

その後、図 1 に示したように、下面のパッド f P にはんだ 1 5 により外部接続端子 (ピン) 1 3 を接合することにより、本発明による半導体パッケージ 1 0 が完成する。

## 【 0 0 3 9 】

更に、上面に半導体チップ 2 0 を搭載すれば、本発明による半導体装置 3 0 が完成する。これは、上面のパッド a P および b P に、はんだ 1 7 により半導体チップ 2 0 の各電極 bumps 2 2 を接合することにより行なう。

## 【 0 0 4 0 】

以上説明した例では、配線層の形成をサブトラクティブ法（全面に層を形成後パターニングにより不要箇所除去）により行なったが、アディティブ法（マスキング成膜により必要箇所のみ形成）により行なってもよい。

【 0 0 4 1 】

〔実施形態 2〕

図 1 2 に、本発明による半導体パッケージ 4 0 上に半導体素子（半導体チップ） 5 0 を搭載して構成した本発明による半導体装置 6 0 の部分断面図を示す。

【 0 0 4 2 】

半導体パッケージ 4 0 は、多層配線構造 4 4 と、上面のはんだ 4 8 から成る半導体素子接続用端子と、下面のはんだ 4 3 から成る外部接続端子とを備えており、上面ははんだ 4 8 の位置を除いて絶縁層 q によって覆われており、下面ははんだ 4 3 の位置を除いてソルダレジスト 4 1 によって覆われている。

【 0 0 4 3 】

多層配線構造 4 4 は、3 層の配線層 i、j、k が間に誘電体層 y または絶縁層 m、n を介して積層されている。各配線 i ~ k は、必要箇所において、絶縁層 m、n を貫通するビア V により電氣的に接続されている。

【 0 0 4 4 】

本発明の特徴として、多層配線構造 4 4 はその最上部にキャパシタ構造 x が形成されている。キャパシタ構造 x は、配線層 i から成る上部電極層、誘電体層 y、配線層 j から成る下部電極層で構成されている。誘電体層 y は高誘電率の無機フィラーと絶縁性樹脂との混合電着層から成る。上部電極層 i および下部電極層 j の所定箇所はそれぞれ素子接続用パッド P として幅広に形成されており、はんだ 4 8 から成る素子接続用端子により半導体素子 5 0 の対応する電極 5 1 に直接接続されている。すなわち、はんだ 4 8 を溶融させ、半導体素子 5 0 の電極 5 1 に接続する。

【 0 0 4 5 】

すなわち、パッケージ 4 0 上に搭載された半導体チップ 5 0 の各電極バンプ 5 2 と、その直下に形成されているキャパシタ x の素子接続用パッド i P および j P とが、両者の外部の配線経路を経由せずに直接接続されている。

## 【 0 0 4 6 】

このように、実施形態 1 の場合と同様に、半導体チップ 5 0 とキャパシタ x との接続距離が最小化されるので、両者間の配線に起因するインダクタンスの増大を実質的に防止されてキャパシタ本来のデカップリング効果を十分に得ることができると共に、混合電着層により誘電体層 y が極薄に形成できることによりキャパシタ全体が極薄構造としてパッケージ 4 0 に内装でき、配線パターンの設計自由度を低下させず、同時にパッケージの小型化・軽量化を妨げることがない。

## 【 0 0 4 7 】

次に、図 1 3 ～ 2 8 を参照して、図 1 2 に示した本発明の半導体パッケージ 4 0 および半導体装置 6 0 を製造する工程を説明する。各図は各工程における処理により得られた構造の断面図である。なお、以下に説明する製造工程は、本出願人が特開 2 0 0 0 - 3 2 3 6 1 3 号公報において開示した金属板上に多層配線構造を形成する方法において、本発明により多層配線構造の最上層にキャパシタ構造を形成する工程を付加したものである。

## 【 0 0 4 8 】

〔工程 1〕金属板上に絶縁層を形成（図 1 3）

銅またはアルミニウムから成る金属板 4 2 の一方の面上に、エポキシ樹脂やポリイミド樹脂の塗布またはこれらの樹脂のシートの積層により、絶縁層 q を形成する。

## 【 0 0 4 9 】

〔工程 2〕絶縁層に開口を形成（図 1 4）

絶縁層 q に、レーザ加工により開口 O 1 を形成し、開口 O 1 の底部に金属板 4 2 の上記一方の面を露出させる。

## 【 0 0 5 0 】

〔工程 3〕金属板に凹部を形成（図 1 5）

金属板 4 2 の他方の面にレジスト層 4 6 を形成した後、金属板 4 2 の上記開口 O 1 内の露出部分をエッチングして金属板 4 2 の上記一方の面に凹部 4 7 を形成する。

## 【 0 0 5 1 】



〔工程 4〕凹部と開口内にはんだ層を形成（図 1 6）

金属板 4 2 を給電経路として電解めっきを行い、凹部 4 7 および開口 O 1 を連続して充填するはんだ層 4 8 を形成する。その際、はんだ層 4 8 の上面が絶縁層 q の上面とほぼ同一面になるように電解めっきを行なう。

【 0 0 5 2 】

〔工程 5〕キャパシタ電極用の金属層を形成（図 1 7）

無電解銅めっきおよび電解銅めっきを順次行い、上面全体（絶縁層 q 上およびはんだ層 4 8 上）に銅から成る、キャパシタの一方の電極用の金属層 i' を形成する。

【 0 0 5 3 】

〔工程 6〕一方の電極を形成（図 1 8）

金属層 i' をエッチングによりパターニングして、キャパシタの一方の電極（上部電極）i を形成する。

【 0 0 5 4 】

〔工程 7〕誘電体層を形成（図 1 9）

絶縁層 q とはんだ層 4 8 を覆うレジスト層 4 9 を形成する。上部電極 i はレジスト層 4 9 で覆われずに露出させた状態になっている。次いで、表面をアルカリまたは酸により洗浄し、レジスト層 4 9 をマスクとする電着法により上部電極 i の上に誘電体層 y を形成する。この電着法は実施形態 1 と同様の方法により行なう。

【 0 0 5 5 】

〔工程 8〕キャパシタ電極を含む配線層用の金属層を形成（図 2 0）

レジスト層 4 9 を除去した後、無電解銅めっきおよび電解銅めっきを順次行い、上面全体（絶縁層 q 上、はんだ層 4 8 上および誘電体層 y 上）に銅から成る、キャパシタの他方の電極を含む配線層用の金属層 j' を形成する。

【 0 0 5 6 】

〔工程 9〕他方の電極と配線パターンを形成（図 2 1）

金属層 j' をエッチングによりパターニングして、キャパシタの他方の電極（下部電極）を含む配線層 j を形成する。これにより、一方の電極 i、誘電体層 y

および他方の電極  $j$  がこの順に積層して成るキャパシタ  $x$  が完成する。図中、誘電体層  $y$  の右寄り部分の上面は配線層  $j$  を設けず誘電体層  $y$  を露出させてあるが、これは後の工程でこの右寄り部分の誘電体層  $y$  を貫通するビアを形成するためである。

## 【 0 0 5 7 】

## 〔工程 1 0〕絶縁層を形成（図 2 2）

上面全体（他方の電極を含む配線層  $j$  等の露出面上）に、エポキシ樹脂やポリイミド樹脂の塗布またはこれら樹脂のシートの積層により、絶縁層  $m$  を形成する。

## 【 0 0 5 8 】

## 〔工程 1 1〕絶縁層に開口を形成（図 2 3）

絶縁層  $m$  に、レーザ加工により開口  $O_2$  を形成し、開口  $O_2$  の底部に他方の電極を含む配線層  $j$  を露出させる。なお、図中で右から 2 番目の開口  $O_2$  は、誘電体層  $y$  の右寄り露出部分をも貫通して、その下の配線層  $j$  の上面を露出させている。

## 【 0 0 5 9 】

## 〔工程 1 2〕金属層を形成（図 2 4）

無電解銅めっきおよび電解銅めっきを順次行い、絶縁層  $m$  を覆い開口  $O_2$  を充填する金属層  $k'$  を形成する。

## 【 0 0 6 0 】

## 〔工程 1 3〕ビアおよび配線層を形成（図 2 5）

金属層  $k'$  をエッチングによりパターニングして、ビア  $V$  および配線層  $k$  を形成する。

## 【 0 0 6 1 】

## 〔工程 1 4〕絶縁層と配線層とを更に形成（図 2 6）

上記の工程 1 0～工程 1 3 を所要回数繰返すことにより、所望の多層配線構造を得る。図示の例では、繰返しを 1 回のみ行って、絶縁層  $n$  とその上の外部接続端子用パッド  $P$  を形成する。

## 【 0 0 6 2 】

## 〔工程 1 5〕外部接続端子の形成（図 2 7）

パッド P 以外の上面全体をソルダレジスト層 4 1 で被覆した後、パッド P 上に外部接続端子としてのはんだボール 4 3 を接合する。

## 【0 0 6 3】

## 〔工程 1 6〕金属板の除去（図 2 8）

この図は、前の工程までの図とは上下を逆に示してある。この工程では、レジスト層 4 6 を除去した後、金属板 4 2 をエッチングにより除去する。このエッチングは、金属板 4 2（銅またはアルミニウム）はエッチングするがはんだ 4 8 はエッチングしないエッチング液を用いて行なう。これにより、金属板 4 2 の凹部 4 7（図 1 5）に充填されたはんだ 4 8 が、絶縁層 q の表面に露出して半導体素子接続用バンプとなる。これにより本発明の半導体パッケージ 4 0 が完成する。

## 【0 0 6 4】

## 〔工程 1 7〕半導体素子の搭載（図 1 2）

半導体素子 5 0 の電極 5 1 を所定のはんだバンプ 4 8 に位置合わせし、はんだバンプ 4 8 を溶融・凝固させて半導体素子の電極 5 1 とバンプ 4 8 とを接合する。これにより、本発明の半導体パッケージ 4 0 に半導体素子 5 0 を搭載した本発明の半導体装置 6 0 が完成する。

## 【0 0 6 5】

## 【発明の効果】

本発明によれば、配線パターン設計の自由度を確保し、容量素子と半導体素子との近接度を格段に向上させ、パッケージの小型化・軽量化を可能とした半導体パッケージとその製造方法、およびこの半導体パッケージを用いた半導体装置が供される。

## 【図面の簡単な説明】

## 【図 1】

図 1 は、本発明の実施形態 1 による半導体パッケージに半導体素子を搭載した本発明による半導体装置を示す断面図である。

## 【図 2】

図 2 は、図 1 の半導体パッケージにおける内装キャパシタの層構成を示す分解

図である。

【図 3】

図 3 は、本発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 1 を示す断面図である。

【図 4】

図 4 は、本発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 2 を示す断面図である。

【図 5】

図 5 は、本発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 3 を示す断面図である。

【図 6】

図 6 は、本発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 4 を示す断面図である。

【図 7】

図 7 は、本発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 5 を示す断面図である。

【図 8】

図 8 は、本発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 6 を示す断面図である。

【図 9】

図 9 は、本発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 7 を示す断面図である。

【図 1 0】

図 1 0 は、本発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 8 を示す断面図である。

【図 1 1】

図 1 1 は、本発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 9 を示す断面図である。

【図 1 2】

図 1 2 は、本発明の実施形態 2 による半導体パッケージに半導体素子を搭載した本発明による半導体装置を示す断面図である。

【図 1 3】

図 1 3 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 を示す断面図である。

【図 1 4】

図 1 4 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 2 を示す断面図である。

【図 1 5】

図 1 5 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 3 を示す断面図である。

【図 1 6】

図 1 6 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 4 を示す断面図である。

【図 1 7】

図 1 7 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 5 を示す断面図である。

【図 1 8】

図 1 8 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 6 を示す断面図である。

【図 1 9】

図 1 9 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 7 を示す断面図である。

【図 2 0】

図 2 0 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 8 を示す断面図である。

【図 2 1】

図 2 1 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 9 を示す断面図である。

【図 2 2】

図 2 2 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 0 を示す断面図である。

【図 2 3】

図 2 3 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 1 を示す断面図である。

【図 2 4】

図 2 4 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 2 を示す断面図である。

【図 2 5】

図 2 5 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 3 を示す断面図である。

【図 2 6】

図 2 6 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 4 を示す断面図である。

【図 2 7】

図 2 7 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 5 を示す断面図である。

【図 2 8】

図 2 8 は、本発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 6 を示す断面図である。

【符号の説明】

- 1 0、4 0 …本発明による半導体パッケージ
- 2 0、5 0 …半導体素子（半導体チップ）
- 3 0、6 0 …本発明による半導体装置
- 1 2 …絶縁性基板
- 1 4、4 4 …多層配線構造
- 1 6 …下面配線構造
- 1 8 …スルーホール

a、b、c、d…上面配線層

e、f…下面配線層

i、j、k…配線層

X、x…キャパシタ構造

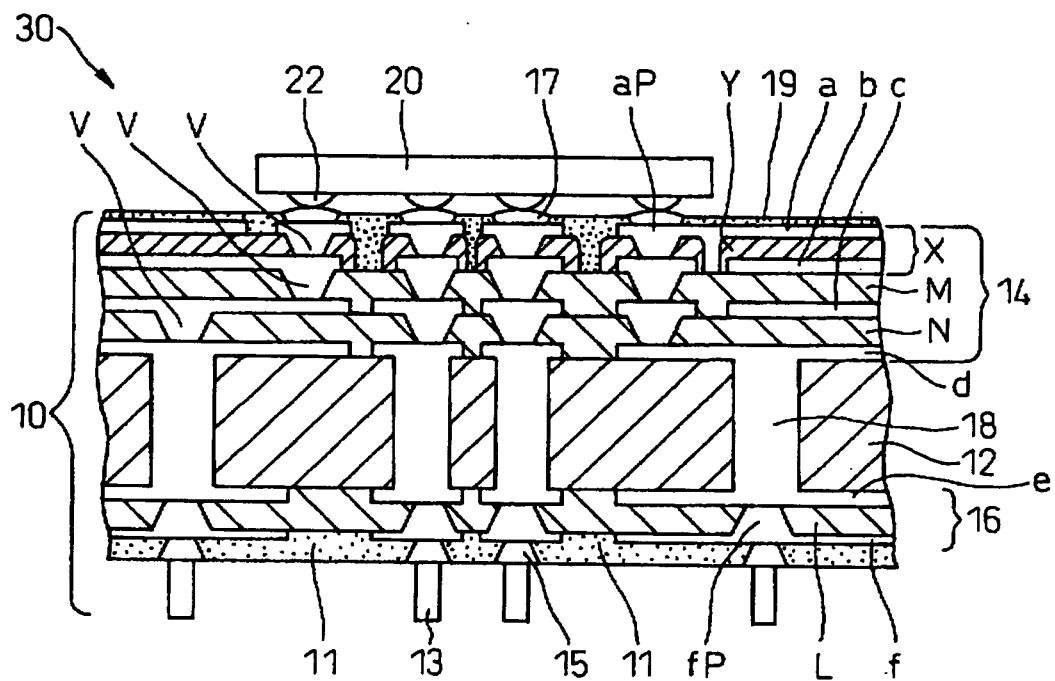
Y、y…誘電体層

M、N、L、q、m、n…絶縁層

【書類名】 図面

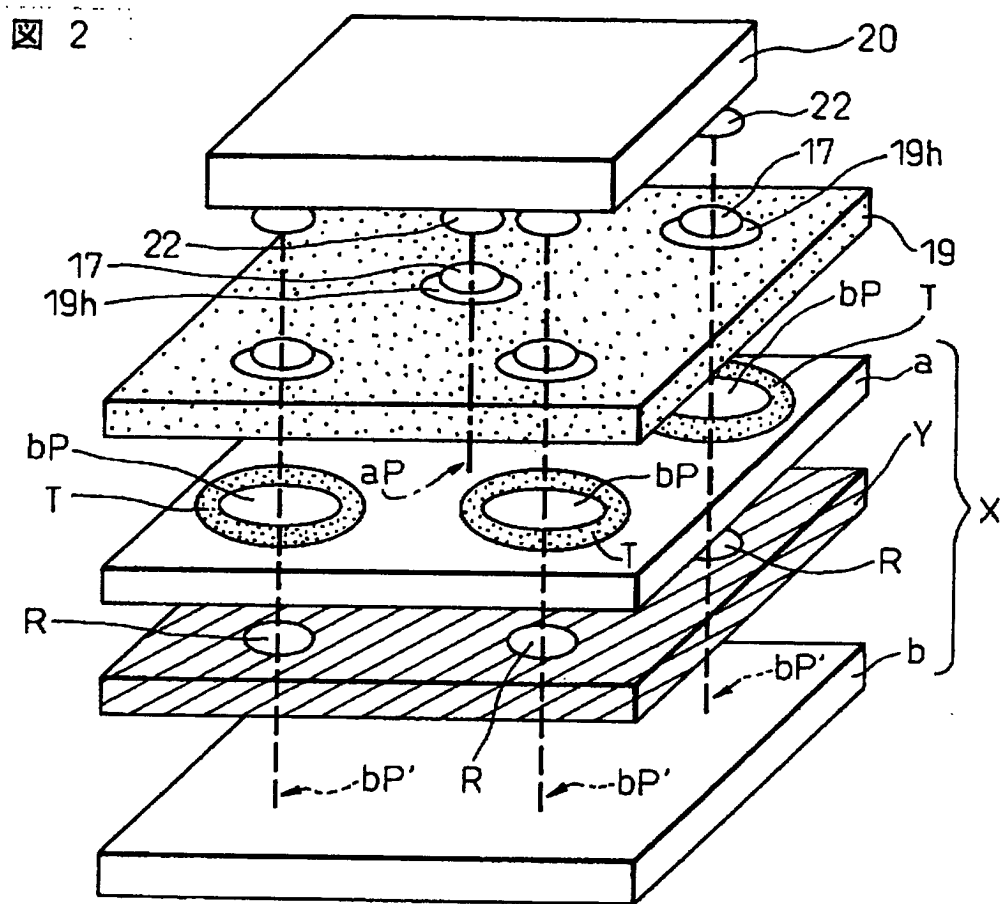
【図1】

図 1

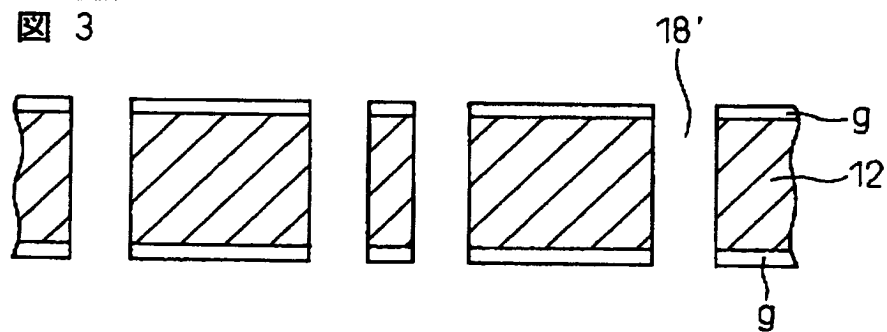




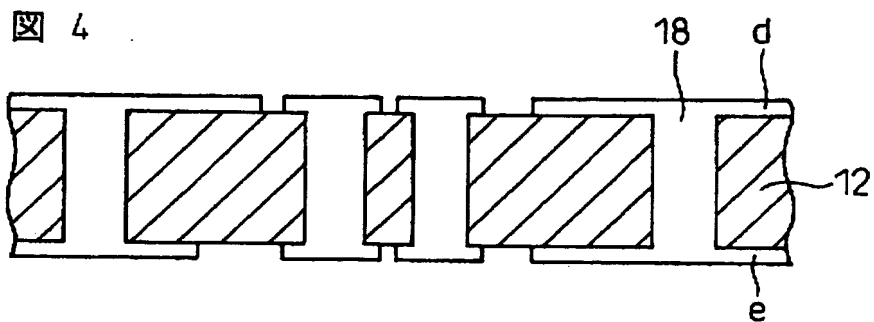
【図2】



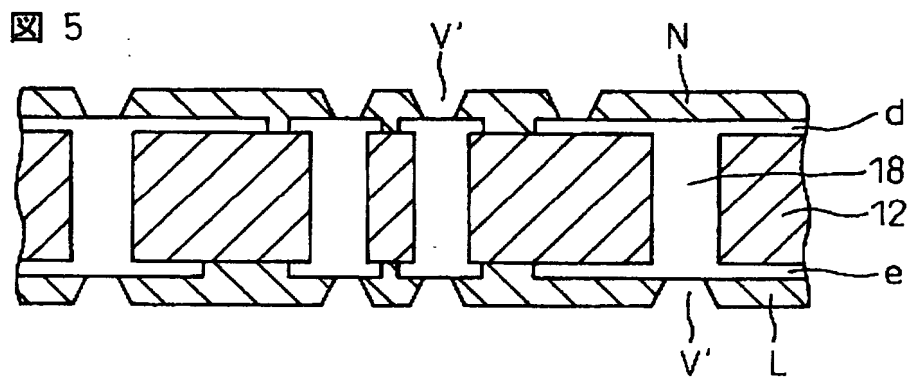
【図3】



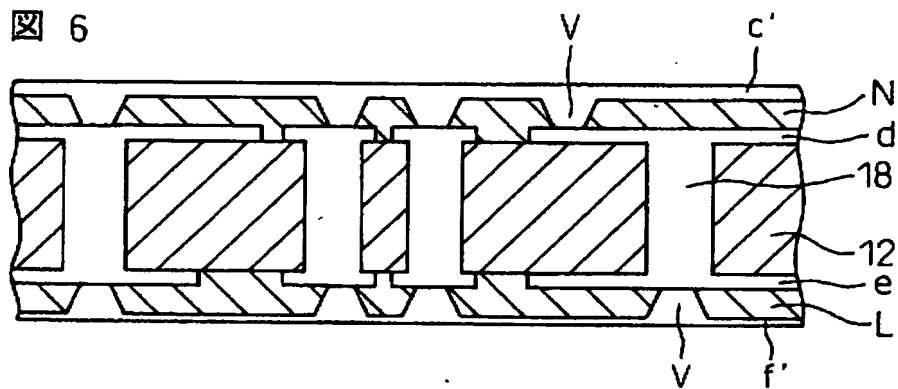
【図 4】



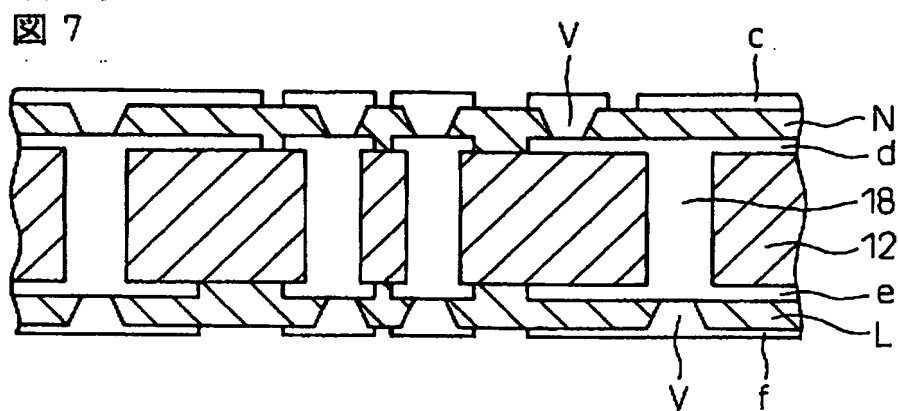
【図 5】



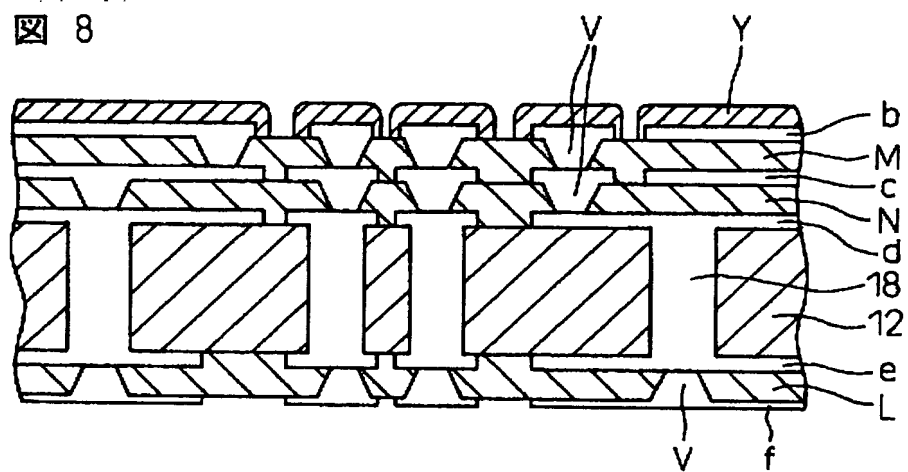
【図 6】



【図 7】

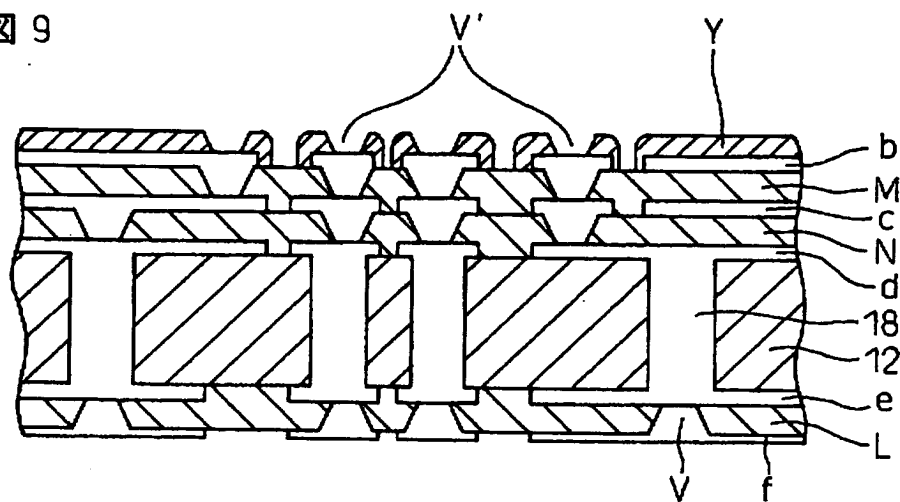


【図 8】



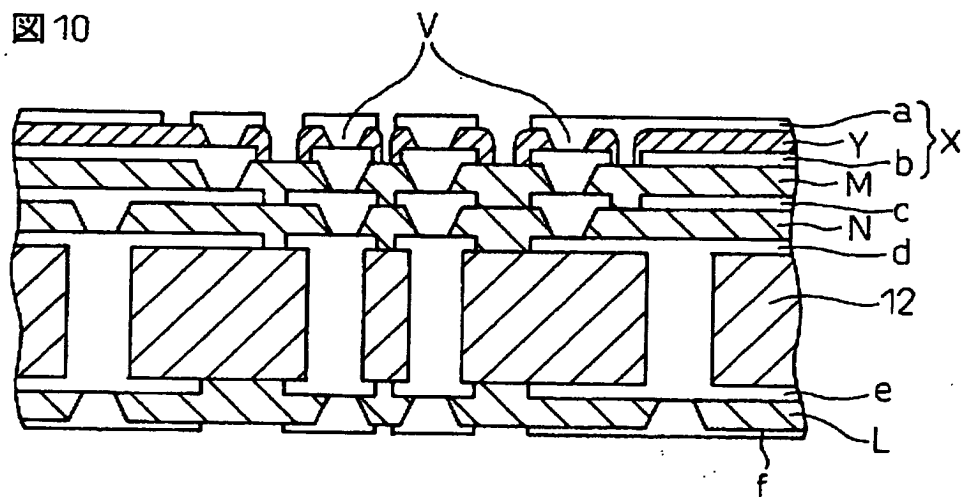
【図9】

図 9



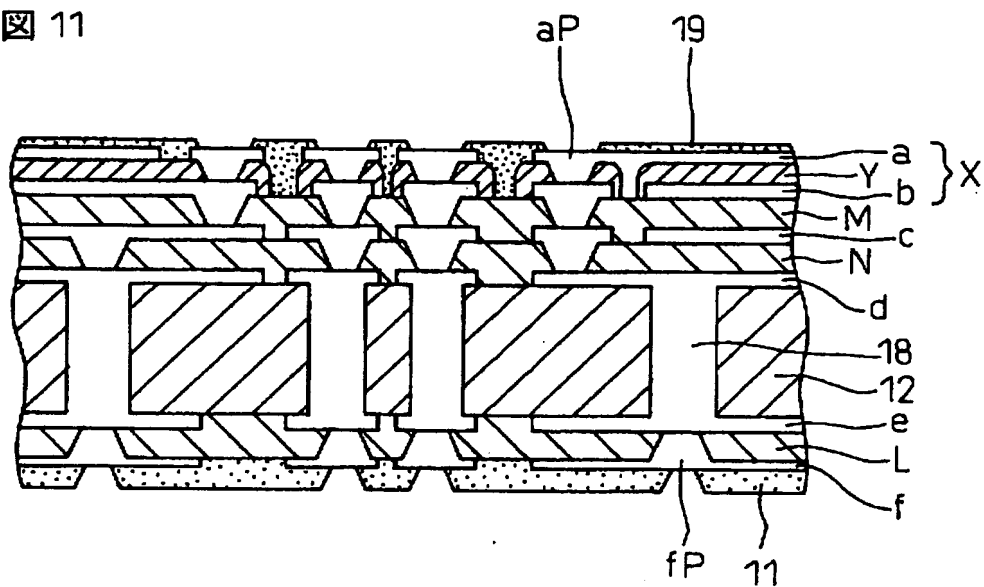
【図10】

図 10



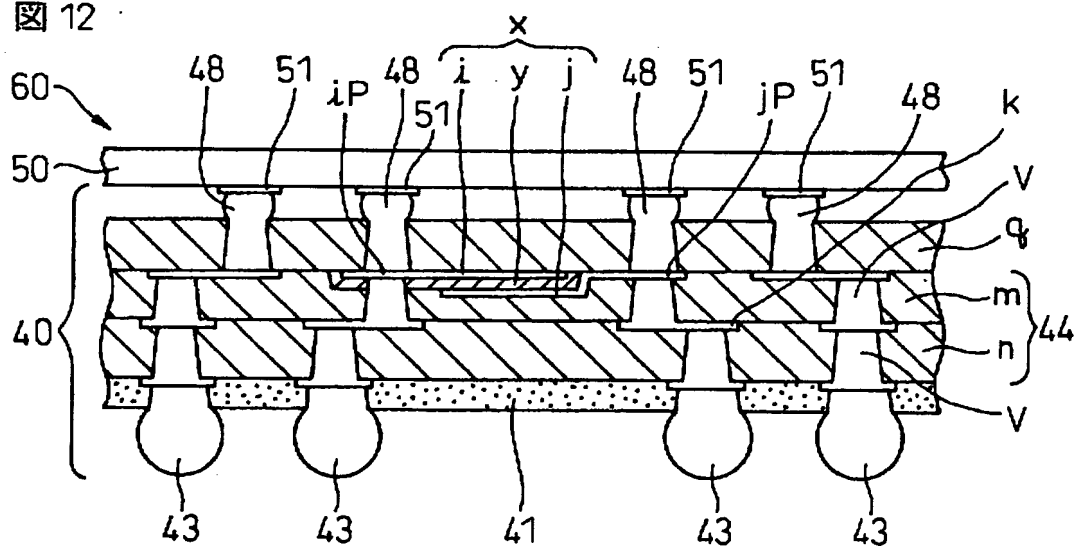
【図 11】

図 11

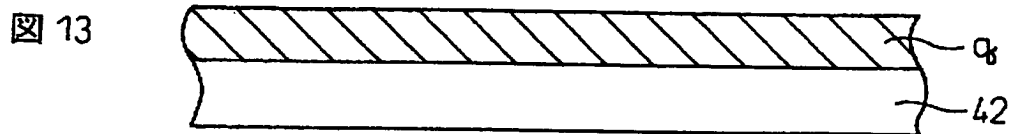


【図 12】

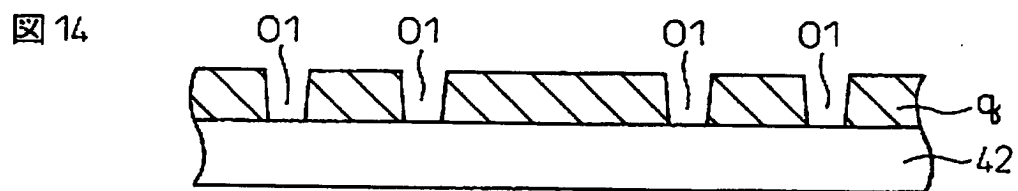
図 12



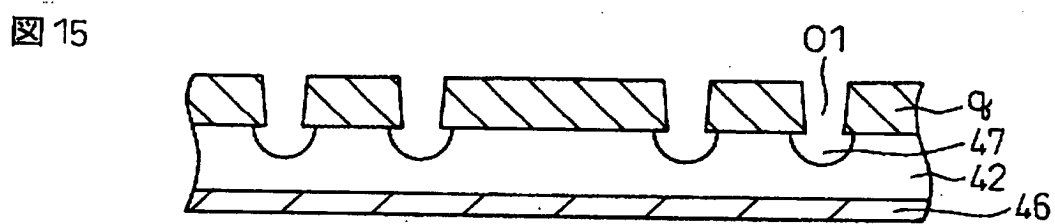
【図 1 3】



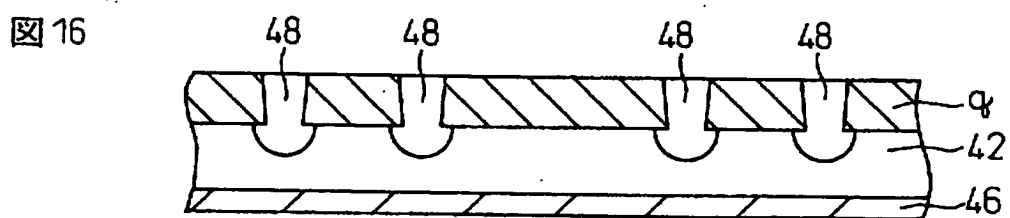
【図 1 4】



【図 1 5】

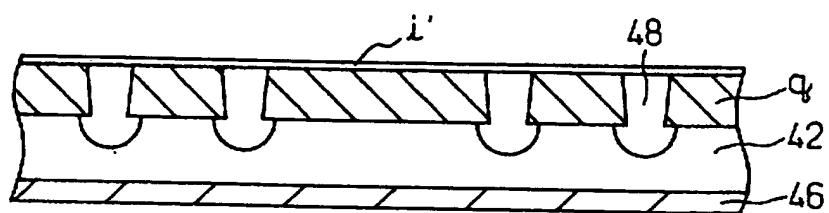


【図 1 6】



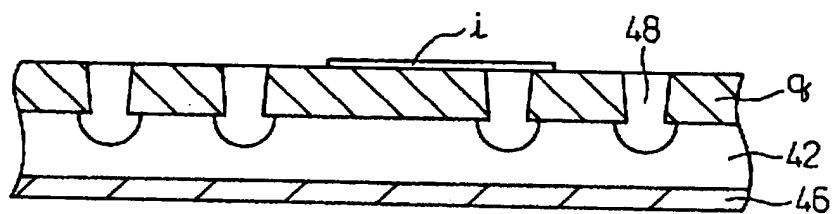
【図 17】

図 17



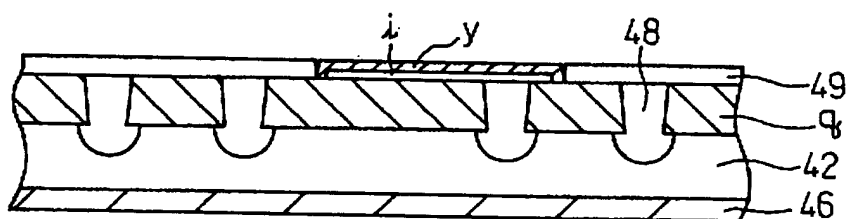
【図 18】

図 18



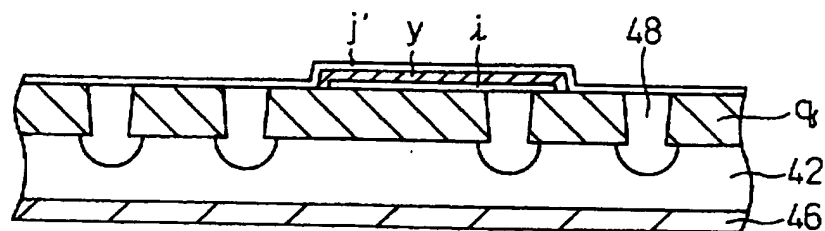
【図 19】

図 19



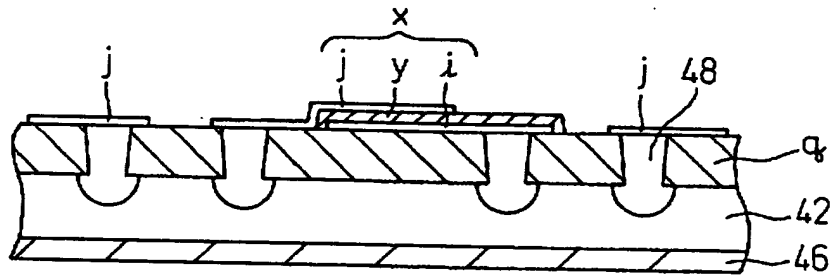
【図 20】

図 20



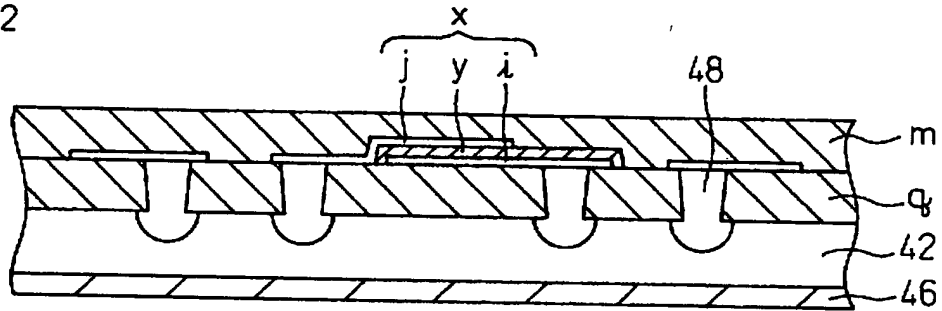
【図 21】

図 21



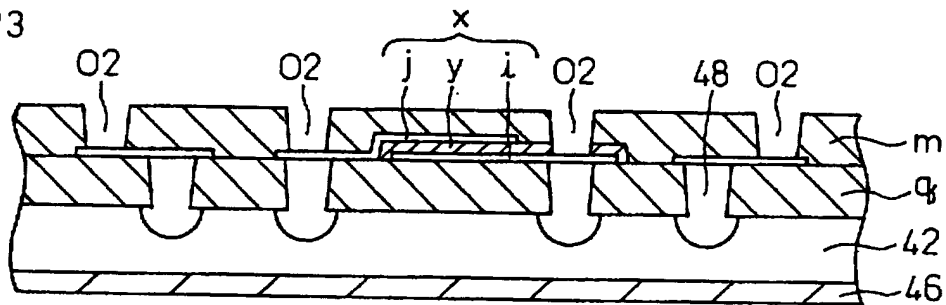
【図 22】

図 22



【図 23】

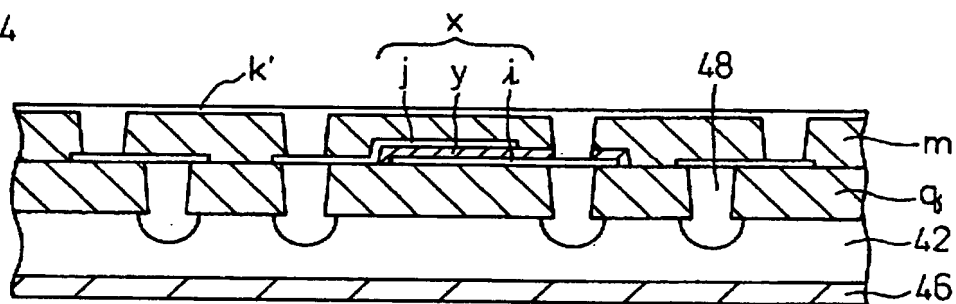
図 23





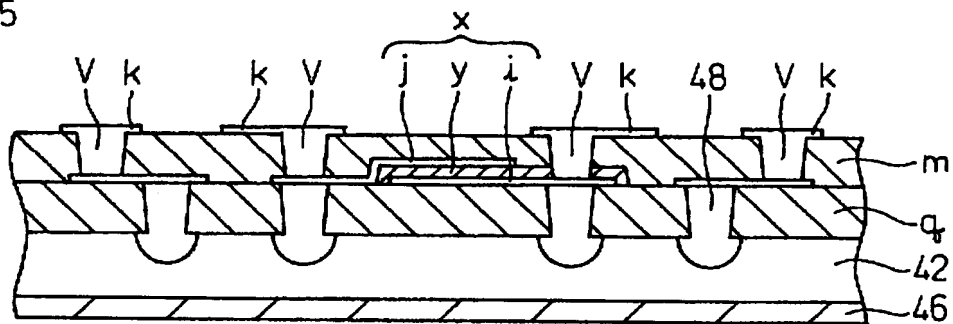
【図 24】

図 24



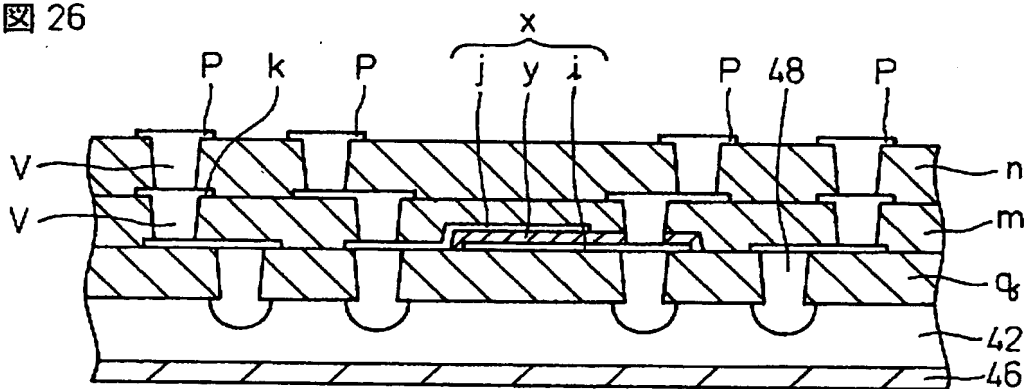
【図 25】

図 25

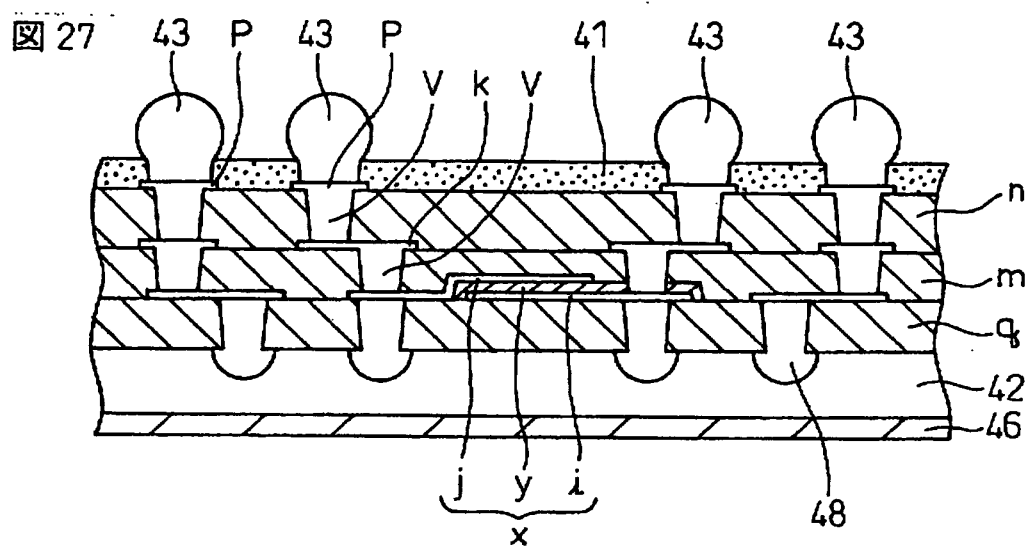


【図 26】

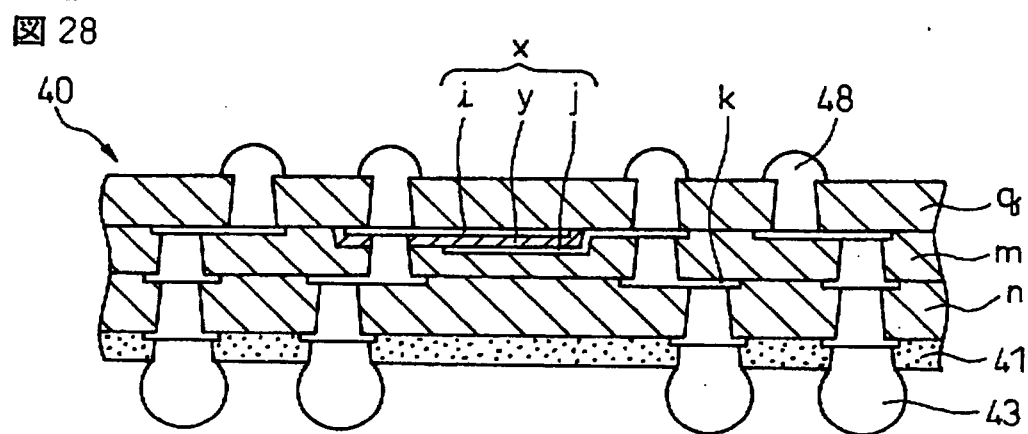
図 26



【図 27】



【図 28】



【書類名】        要約書

【要約】

【課題】    配線パターン設計の自由度を確保し、容量素子と半導体素子との近接度を格段に向上させ、パッケージの小型化・軽量化を可能とした半導体パッケージとその製造方法、およびこの半導体パッケージを用いた半導体装置を提供する。

【解決手段】    多層配線構造を備え、その上面に半導体素子を搭載するための半導体パッケージにおいて、多層配線構造の最上部積層構造にキャパシタ構造を含み、該キャパシタ構造は、誘電体層が高誘電率の無機フィラーと絶縁性樹脂との混合電着層から成り、かつ上部電極および下部電極と上記半導体素子の電極とを直接接続するための素子接続用パッドを含むことを特徴とする。

【選択図】        図 1

出 願 人 履 歴 情 報

識別番号 [000190688]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 長野県長野市大字栗田字舎利田711番地  
氏 名 新光電気工業株式会社